

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-022463

(43)Date of publication of application : 23.01.1998

(51)Int.Cl.

H01L 27/10
H01L 27/04
H01L 21/822
H01L 27/108
H01L 21/8242
H01L 21/8247
H01L 29/788
H01L 29/792

(21)Application number : 08-172532

(71)Applicant : SONY CORP

(22)Date of filing : 02.07.1996

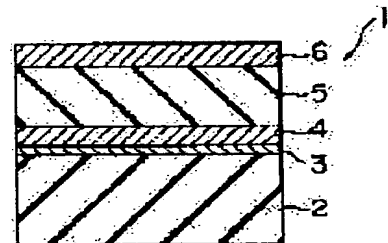
(72)Inventor : NICHOLAS NURGEL
KATORI KENJI

(54) MULTILAYER STRUCTURE, ITS MANUFACTURE, CAPACITOR STRUCTURE, AND NON-VOLATILE MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To restrain generation of hillocks as much as possible, by forming an electrode layer on an underlying layer via a buffer layer made of a metal part oxide.

SOLUTION: A multilayer structure 1 constitutes a capacitor of a ferroelectric non-volatile memory. On an underlying layer 2 of silicon oxide or the like, a lower electrode layer 4 is formed via a buffer layer 3 made of a metal part oxide. On the lower electrode layer 4, a ferroelectric layer 5 and an upper electrode layer 6 are sequentially stacked. Thus, generation of hillocks in the electrode layer in annealing in an oxygen gas atmosphere may be restrained. Also, reduction in capacitance of the capacitor may be restrained as much as possible, thus enabling formation of a capacitor having less unevenness.



LEGAL STATUS

[Date of request for examination] 10.07.2002

[Date of sending the examiner's decision of rejection] 09.11.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-22463

(43) 公開日 平成10年(1998) 1月23日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/10	4 5 1		H 0 1 L 27/10	4 5 1
27/04			27/04	C
21/822				E
27/108			27/10	6 5 1
21/8242			29/78	3 7 1
審査請求 未請求 請求項の数 6 O L (全 7 頁) 最終頁に続く				

(21) 出願番号 特願平8-172532

(22) 出願日 平成8年(1996) 7月2日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 ニコラス ナーゲル

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 香取 健二

東京都品川区北品川6丁目7番35号 ソニー株式会社内

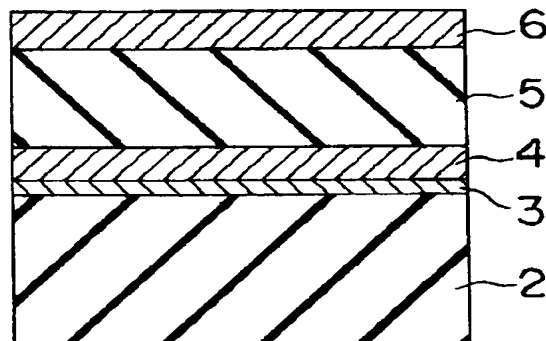
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 積層構造及びその製造方法、キャパシタ構造並びに不揮発性メモリ

(57) 【要約】

【課題】 ヒロックの発生を可及的に抑制することができる積層構造及びその製造方法、その積層構造を用いたキャパシタ構造、及びそのキャパシタ構造を用いた不揮発性メモリを提供する。

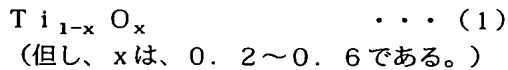
【解決手段】 下地層2の上にバッファ層3を介して電極層4を設けた構造において、バッファ層3として、金属部分酸化物を用いる。金属部分酸化物として、 $Ti_{1-x}O_x$ ($x=0.2\sim0.6$) が好ましい。



【特許請求の範囲】

【請求項1】下地層上に金属部分酸化物で構成されるバッファ層を介して電極層が形成されていることを特徴とする積層構造。

【請求項2】金属部分酸化物が下記式(1)で示される請求項1記載の積層構造。



【請求項3】下地層上に真空蒸着法、スパッタリング法、CVD法、及び金属を成膜した後、酸素雰囲気下で酸化する方法のいずれかの方法により金属部分酸化物層を形成する工程と、該金属部分酸化物層上に電極層を形成する工程とを有することを特徴とする積層構造の製造方法。

【請求項4】酸素を導入した直流2極スパッタリング法により金属部分酸化物を形成する請求項3記載の積層構造の製造方法。

【請求項5】下地層上に、金属部分酸化物で構成されるバッファ層、下部電極層、強誘電体層及び上部電極層が順次積層されている積層構造を有することを特徴とするキャパシタ構造。

【請求項6】下地層上に、金属部分酸化物で構成されるバッファ層、下部電極層、強誘電体層及び上部電極層が順次積層されている積層構造を有するキャパシタ構造を有することを特徴とする不揮発性メモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、強誘電体不揮発性メモリ、そのメモリに用いられるキャパシタ構造、そのキャパシタに用いられる積層構造並びにそれらの製造方法に関する。

【0002】

【従来の技術】強誘電体メモリは、強誘電体薄膜の高速な分極反転とその残留分極を利用する高速書き換えが可能な不揮発性メモリである。強誘電体キャパシタの蓄積電荷量の変化を検出する強誘電体不揮発性メモリのキャパシタとしては、例えば図8に示すような構造が知られている。このキャパシタは、半導体基板100の上に積層された酸化シリコンなどの下地層101上に、バッファ層としての例えば厚さが30nm程度の金属チタン膜102、下部電極としての厚さが100nm程度の白金膜103、強誘電体膜としての厚さが300nm程度のPZT($\text{Pb}(\text{Zr}_{1-y}\text{Ti}_y)\text{O}_3$ ($0 < y < 1$))や $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 膜104、上部電極としての厚さが100nm程度の白金膜105が順次積層されている。

【0003】このように、下部電極として白金膜とチタン膜とを組み合わせたキャパシタは、PZTを用いたものとしては、例えば(Ramtron Corporation FRAMcell: Thomas Boehm: HE6-94-2001)、(Jpn. J. Appl. Vol. 33, 39

96(1994))、(Jpn. J. Appl. Phys. Vol. 33, 5211(1994); VL SI95, 1088, A Ferroelectric Capacitor over Bit-line (F-COB) Cell for High Density Nonvolatile Ferroelectric Memories)、(Jpn. J. Appl. Phys. Vol. 32, 4057(1993))が発表したものが知られている。また、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 膜を用いたものとしては、(WO 93/12542, PCT, Symetrix)、(Appl. Phys. LTT, 66(2), 221, (1995))、(ISSCC94, 208, A 256kb Nonvolatile Ferroelectric Memory at 3V and 100ns)が発表したものが知られている。

【0004】白金膜103と酸化シリコン101との間に介在させるチタン膜102は、これらの接着層として機能するものである。

【0005】

【発明が解決しようとする課題】しかしながら、白金膜とチタン膜とから構成される下部電極上に強誘電体層を形成した後、ほとんどの強誘電体層は、酸素雰囲気下において結晶化のアニールを行わねばならない。例えば $\text{SrBi}_2\text{Ta}_2\text{O}_9$ の場合、アニール温度は800℃程度である。そのため、アニール工程で、チタン膜は部分的に酸化され、その結果少量の体積増加が起こる。そして、ヒロックが白金膜表面に生じる。ヒロックは、表面での数nmから500nm程度の盛り上がりである。ヒロックが生じる他の理由としては、白金膜とシリコン基板との間のストレス、チタン膜の白金膜への拡散による可能性がある。

【0006】ヒロックが生じると、キャパシタの容量不足が生じる。生産工程においては、このようなランダムなキャパシタの容量減少を避けることは重要である。加えて、ヒロックは、均一な組成の強誘電体層の形成に悪影響を及ぼすおそれがある。本発明は、上記事情に鑑みなされたもので、ヒロックの発生を可及的に抑制することができる積層構造及びその製造方法、その積層構造を用いたキャパシタ構造、及びそのキャパシタ構造を用いた不揮発性メモリを提供することを目的とする。

【0007】

【課題を解決するための手段】本発明は、上記目的を達成するため、下地層上に金属部分酸化物で構成されるバッファ層を介して電極層が形成されていることを特徴とする積層構造を提供する。

【0008】また、本発明は、下地層上に真空蒸着法、スパッタリング法、CVD法、及び金属を成膜した後、酸素雰囲気下で酸化する方法のいずれかの方法により金属部分酸化物層を形成する工程と、該金属部分酸化物層上に電極層を形成する工程とを有することを特徴とする積層構造の製造方法を提供する。

【0009】更に、本発明は、下地層上に、金属部分酸化物で構成されるバッファ層、下部電極層、強誘電体層及び上部電極層が順次積層されている積層構造を有することを特徴とするキャパシタ構造を提供する。加え

て、本発明は、下地層上に、金属部分酸化物で構成されるバッファ層、下部電極層、強誘電体層及び上部電極層が順次積層されている積層構造を有するキャパシタ構造を有することを特徴とする不揮発性メモリを提供する。

【0010】本発明の積層構造、キャパシタ構造、不揮発性メモリは、下地層の上にバッファ層を介して電極層を設けた構造を有し、バッファ層として、金属部分酸化物を用いたことに特徴がある。金属部分酸化物をバッファ層として用いることにより、下地層との密着性を確保しながら酸素を含む雰囲気中で加熱する際の電極表面のヒロックの発生数を劇的に減少させることができた。その機構は明確ではないが、従来のチタン膜をバッファ層として用いた場合、酸素を含む雰囲気中での加熱中にチタン膜が部分的に酸化されていたためであり、バッファ層として始めから部分酸化された金属酸化物を用いることにより、酸素を含む雰囲気中での加熱中に酸化を受けなくなり、寸法変化が生じなくなるためであると思われる。

【0011】

【発明の実施の形態】以下、本発明の実施の形態について具体的に説明するが、本発明は下記の実施の形態に限定されるものではない。図1は、本発明の積層構造の一形態を示す断面図であり、この積層構造1は、例えば強誘電体不揮発性メモリのキャパシタを構成し、酸化シリコンなどの下地層2上に、バッファ層3、下部電極層4、強誘電体層5、及び上部電極層6が順次積層されている。

【0012】このキャパシタの積層構造1では、バッファ層3を除く構成部分の種類に制限はないが、下地層2として、例えば酸化シリコン、アルミナ、窒化シリコン、NSG (Non-doped Silicate Glass)、BPSG、BSG、シリコンなどの半導体基板等が挙げられる。下地層の形成方法は、例えば基板の熱酸化、あるいはCVD法等により形成することができる。また、基板自体を下地層とすることができる。下部電極層4及び上部電極層6としては、例えば白金、白金合金、イリジウム (Ir)、 IrO_y 等を挙げることができる。電極層4、6は、例えばスパッタリング法、MOCVD (有機金属CVD) 法等で成膜することができる。

【0013】また、強誘電体の種類としては、 $\text{PbZr}_y\text{Ti}_{1-y}\text{O}_3$ ($0 < y < 1$)、 PbTiO_3 等の鉛系化合物、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 等のビスマス系層状構造ペロブスカイト型、 $\text{Ba}_{1-z}\text{Sr}_z\text{TiO}_3$ 、 BaMgF_4 等を例示することができる。これらの強誘電体層は、例えばアルコキシドを原料としたMOD法、CVD法、MOCVD法、レーザーアブレーション法、スパッタリング法等で堆積した後、必要により酸素を含む雰囲気中でアニーリングすることにより形成することができる。

【0014】本発明においては、バッファ層として金属部分酸化物を用いる。この金属部分酸化物として下記式(2)で示されるものを例示することができる。



但し、式中、Mは、Ti、Zr、Hf等の4A族元素、Nb、Ta等の5A族元素、Cr、Mo、W等の6A族元素から選ばれる1種または2種以上の元素であり、xは1未満の正数である。

【0015】これらの金属元素の中では、Tiが好ましい。この場合、xは、0.2~0.6の範囲が好ましい。好ましい範囲の理由を以下に説明する。シリコン基板上に酸化シリコンを550nm堆積し、その上にバッファ層としてxの値を変えた $\text{Ti}_{1-x}\text{O}_x$ を30nm形成し、その上に白金電極膜を100nm形成した積層構造を作成し、これを酸素雰囲気中で600℃及び800℃で1時間アニーリングしたときのヒロックの発生密度を検討した。一般に、強誘電体としてPZTを用いた場合のアニーリング条件は600℃で1時間、強誘電体として $\text{SrBi}_2\text{Ta}_2\text{O}_9$ を用いた場合のアニーリング条件は800℃で1時間である。その結果を図2に示す。

【0016】図2から、チタン部分酸化物 $\text{Ti}_{1-x}\text{O}_x$ の酸素含有量xが増えると、ヒロックの発生密度は急激に減少することが認められる。アニーリング温度が600℃ (強誘電体がPZTの場合に相当する) の場合、ヒロック密度が50%以下に減少するのはxが0.2以上である。そのため、xは0.2以上であることが好ましい。

【0017】一方、シリコン基板上に酸化シリコンを550nm堆積し、その上にバッファ層としてxの値を変えた $\text{Ti}_{1-x}\text{O}_x$ を30nm形成し、その上に白金電極膜を100nm形成した積層構造を作成し、これを酸素雰囲気中で800℃で1時間アニーリングしたときの白金電極膜とバッファ層との密着力に対するxの影響を調べた。その結果を図3に示す。図3から、チタン部分酸化物の酸素含有量が増大すると、密着力が低下することが認められ、密着力のファクターFが50%減少するのは、xが0.6以上である。密着力が低下すると、キャパシタの製造プロセス中にクラックが発生するおそれがある。そのため、xは0.6以下であることが望ましい。

【0018】バッファ層3の厚さは、数nmから50nm、特に20~30nmの範囲が好ましい。バッファ層の厚さが薄すぎると、密着層としての効果が弱くなり、一方、厚すぎてもそれ以上の効果が認められず、コストの増加を招く場合がある。

【0019】上記積層構造1は、例えば強誘電体不揮発性メモリのキャパシタとして用いることができる。この場合、例えばシリコン基板上に直接 (この場合、下地層がシリコン基板である)、あるいは基板に酸化シリコン

などの下地層2を例えば550nm程度の厚さで形成し、その上にバッファ層3、下部電極層4、強誘電体層5、上部電極層6等を形成することで、キャパシタとして構成することができる。

【0020】次に、金属部分酸化物膜の形成方法としては、アルコキンドを原料としたMOD法、レーザーアブレーション法、真空蒸着法、スパッタリング法、CVD、MOCVD法等種々の方法を採用することができる。例えば、真空蒸着法としては、系内に酸素ガスを導入し、電子ビームを蒸発材に照射して加熱し、蒸発させ、電子衝撃を利用して金属部分酸化物を成膜する電子ビーム加熱真空蒸着法が挙げられる。

【0021】また、スパッタリング法としては、酸素雰囲気中で、一对の陰極と陽極とからなる2極冷陰極グロー放電構造を持ち、電極間に直流電圧を印加、グロー放電を発生させ、陰極上のターゲットでのスパッタ現象を利用して薄膜形成を行うスパッタリング装置を用いる反応性DCスパッタリング法がある。このDCスパッタリング法の条件は、典型的には、

Ar+O₂ フロー：40sccm

Ar+O₂ 雰囲気ガス中のO₂ 濃度：5～12%

圧力：1.5mTorr

DCパワー：380～450W

ターゲットとサンプルの距離：約30cm（遊星方式）

スパッタリング速度：5～10nm/min

である。

【0022】更に、一对の陰極と陽極とからなる2極冷陰極グロー放電構造を持ち、電極間に主として13.56MHzの高周波電圧を印加、グロー放電を発生させ、陰極上のターゲット表面でのスパッタ現象を利用して薄膜形成を行う反応性スパッタリング装置を用いるRFスパッタリング法がある。

【0023】その他の金属部分酸化膜の形成方法としては、金属の被膜をDCスパッタリング法、RFスパッタリング法、電子ビーム蒸着法等で形成した後、酸素雰囲気中でアニールして部分酸化する方法がある。この場合のアニール条件は、例えば典型的にはアニール温度400～650℃、酸素流量5～10scc/minである。酸素量xの制御は、温度と酸素濃度等で行う。この方法は、反応性DCスパッタリングに比べて酸素量の制御が比較的困難であり、工程が一つ増加するという不利がある。

【0024】成膜方法が異なると、ヒロック抑止効果にも差が現れる。シリコン基板上に酸化シリコンを550nm堆積し、その上にバッファ層としてxの値を変えたTi_{1-x}O_xを酸素導入電子ビーム蒸着法、酸素導入RFスパッタリング法、酸素導入DCスパッタリング法の3つの種類の成膜方法で30nm形成し、その上に白金電極膜を100nm形成した積層構造を作成し、酸素中で800℃、1時間アニールし、白金電極膜に生

じたヒロックの密度を測定した。その結果を図4に示す。図中、①がDCスパッタリング法、②がRFスパッタリング法、③が電子ビーム蒸着法により成膜されたTi_{1-x}O_x膜を用いた場合である。図4から、成膜方法により、ヒロック密度が異なることが認められる。最もヒロックの発生量が少なかったのはDCスパッタリング法により成膜されたバッファ層である。

【0025】上記のような下地層上に金属部分酸化物で構成されるバッファ層を介して電極層が形成されている積層構造は、好適には強誘電体不揮発性メモリのキャパシタに適用することができるが、勿論これに限られるものではない。次に、本発明の積層構造を強誘電体不揮発性メモリに適用する形態について、図5～図7を用いて説明する。図5は、本発明の強誘電体不揮発性メモリの一形態を示す断面図である。

【0026】強誘電体メモリのメモリセル構成は、図9に示すように、1ビットの情報の記憶に2つのトランジスタと2つのキャパシタを用いる2T/2Cセルと、1ビットの情報の記憶に1つのトランジスタと1つのキャパシタを用いる1T/1Cセルがあり、本発明の積層構造は両者のセルに適用することができる。

【0027】図5に示すメモリは、最も一般的な1T/1Cセル構成のメモリであり、大まかな構成を説明すると、シリコン基板10上にスイッチングトランジスタTrが形成され、ワード線WLがゲート電極を構成している。基板10上に形成された素子分離膜21上の数層の絶縁層の下地層としてのNSG膜2の上にキャパシタCapが形成されている。そのキャパシタCapは、バッファ層3、下部電極層4、強誘電体層5、上部電極層6の順に積層され、下部電極層4は配線層32によりスイッチングトランジスタTrのソース11と接続され、キャパシタの上部電極層6はプレート線PLと接続されている。スイッチングトランジスタTrのドレイン12は図示しないビット線に接続されている。

【0028】そして、本不揮発性メモリにおいては、キャパシタCapのバッファ層3が上述した金属部分酸化物で構成されている。これにより、下部電極層4の上に強誘電体膜5を堆積し、更に酸素を含む雰囲気中でアニールしても、金属電極層表面に発生するヒロックが少なく、キャパシタCapの容量が減少することが可及的に抑制され、ばらつきの少ないキャパシタが形成されている。

【0029】この強誘電体不揮発性メモリの製造工程について図6、図7で説明する。まず、図6(a)に示すように、スイッチングトランジスタTrを半導体基板10上に形成する。図6(a)に示す構造に至るプロセスを簡単に説明すると、半導体基板10に素子分離酸化膜21を熱酸化法で形成した後、ゲート酸化膜22を形成し、次いで多結晶ポリシリコンなどを堆積した後、パターニングしてゲート電極（ワード線）31を形成する。

次に、ゲート電極31をマスクとして、イオン注入し、ソース11、ドレイン12を形成し、スイッチングトランジスタTrを形成する。そして、PSG膜23をCVDで例えば100nm堆積し、その上に、窒化珪素膜24を例えばCVDで10nm、 O_3 TEOS CVDでBPSG24を300nm程度堆積した後、窒素雰囲気下でアニーリングする。更に、 O_3 TEOS CVDで下地層となるNSG膜2を100nm程度堆積して、図6(a)に示す構造を得ることができる。

【0030】そして、図6(b)に示すように、本発明の特徴であるバッファ層3を成膜する。成膜する金属部分酸化物として例えば $Ti_{1-x}O_x$ ($x=0.2\sim0.6$)をDCスパッタリング法で30nm程度の厚さで成膜する。このときのスパッタリングでは、例えば次のような条件を採用することができる。

【0031】Ar+ O_2 フロー：40sccm
Ar+ O_2 雰囲気ガス中の O_2 濃度：5~12%
圧力：1.5mTorr
DCパワー：380~450W
ターゲットとサンプルの距離：約30cm(遊星方式)
スパッタリング速度：5~10nm/min

次に、図6(c)に示すように、下部電極膜3として、例えば白金膜をDCスパッタリングで100nm程度堆積する。このときの典型的な条件は次の通りである。

【0032】Arフロー：40sccm
圧力：1.5mTorr
DCパワー：150~300W
ターゲットとサンプルの距離：約30cm(遊星方式)
スパッタリング速度：5~10nm/min

次に、図6(d)に示すように、強誘電体層5を成膜する。強誘電体層としては、例えば $SrBi_2Ta_2O_9$ を選択し、MOCVD法又はMVDで200nm程度の膜厚で成膜する。このときのCVDの条件は、例えば次の条件を採用することができる。

【0033】基板温度：600~700℃
反応圧力：5~10Torr
ガス： O_2 ：1000cc/min, Ar：1000cc/min

プレカーサー： $Bi(C_6H_5)_3$, $Sr(thd)_2$, $Ta(O-iC_3H_7)_4(thd)$
(thdはテトラメチルヘプタジオン)

堆積速度：100~200Å/min
また、アルコキシドを原料としたMODの条件は、WO93/12542, 23.06.93及びWO93/12538, 24.06.93(以上、PCTの国際公開番号)記載の条件を採用することができる。

【0034】強誘電体層5を形成した後、例えば700~800℃で30分の条件でアニーリングする。このアニーリング条件は用いる強誘電体の種類によって適宜変更することができる。強誘電体層5を堆積、アニーリン

グした後、図7(e)に示すように、上部電極層6として例えば白金膜をスパッタリング法にて100nm程度堆積し、その後、例えば700~800℃で30分の条件でアニーリングを行う。

【0035】次に、図7(f)に示すように、キャパシタCapのパターニングを行う。上部電極層6上に図示しないレジストを塗布、露光、パターニングした後、イオンミリング等で上部電極層6をパターニングした後、強誘電体層5をRIE法等でパターニングし、更に、下部電極層4、バッファ層3の順にイオンミリングなどでエッチングしてパターニングする。

【0036】キャパシタのパターニング後、例えばプラズマTEOS CVD法により、酸化シリコン膜26を100nm程度堆積し、その上に水素ガス拡散防止層として例えば $SrBi_2Ta_2O_9$ 膜27等を100nm程度堆積する。次いで、 O_3 TEOS CVDでNSG膜28を300nm程度堆積し、更にプラズマTEOS CVDで酸化シリコン膜29を200nm程度堆積する。

【0037】そして、図5に示すように、スイッチングトランジスタTrのドレインに達するコンタクトホールをフォトリソグラフィと反応性イオンエッチング等で開口する。その後、窒素ガス中でのアニーリングを行い、更に劣化したトランジスタの特性を回復させるために、水素ガスと窒素ガスとの混合ガス雰囲気下でアニーリングを行う。次いで、上部電極層6と下部電極層4とにコンタクトホールをRIE等で形成する。その後、 $Ti/TiN/Al-Cu/Ti/TiN/Ti$ の順序でスパッタリングした後、配線32のパターニングを行う。次いで、プラズマCVDで窒化シリコン膜30を例えば500nm程度堆積して、図5に示すような構造の強誘電体不揮発性メモリを製造することができる。

【0038】

【発明の効果】本発明の積層構造は、酸素ガス雰囲気下でのアニーリングでの電極層のヒロックの発生を抑制することができる。本発明の積層構造の製造方法によれば、かかる積層構造を容易に得ることができる。

【0039】本発明のキャパシタ構造は、酸素ガス雰囲気下でのアニーリングでの電極層のヒロックの発生を抑制することができ、ばらつきの少ない特性を有する。本発明の強誘電体不揮発性メモリは、酸素ガス雰囲気下でのアニーリングでの電極層のヒロックの発生が抑制されたキャパシタを有し、ばらつきの少ない特性を有する。

【図面の簡単な説明】

【図1】本発明の積層構造の一形態を示す断面図である。

【図2】 $Ti_{1-x}O_x$ の酸素含有量とヒロック発生密度の関係を示すグラフである。

【図3】 $Ti_{1-x}O_x$ の酸素含有量と密着力の関係を示すグラフである。

【図4】種々の成膜方法で得られた $Ti_{1-x}O_x$ の酸素

含有量とヒロック発生密度の関係を示すグラフである。

【図5】本発明の積層構造を強誘電体不揮発性メモリに適用した一形態を示す断面図である。

【図6】(a)～(d)は、図5の強誘電体不揮発性メモリの製造工程を示すそれぞれ断面図である。

【図7】(e)～(g)は、図6の続きの工程を示すそれぞれ断面図である。

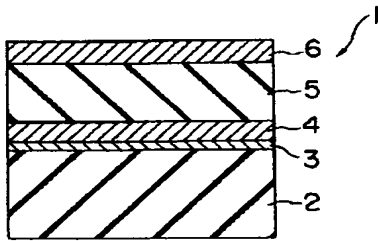
【図8】従来の強誘電体キャパシタの一例を示す断面図である。

【図9】強誘電体不揮発性メモリの回路図である。

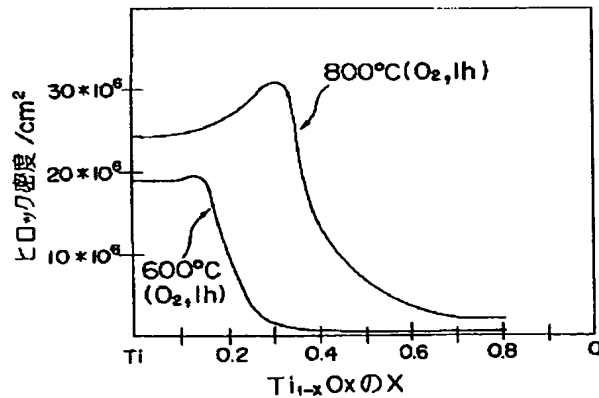
【符号の説明】

1…積層構造、2…下地層、3…バッファ層、4…下部電極層、5…強誘電体層、6…上部電極層、Tr…スイッチングトランジスタ、Cap…キャパシタ

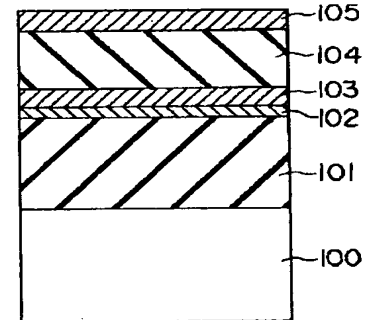
【図1】



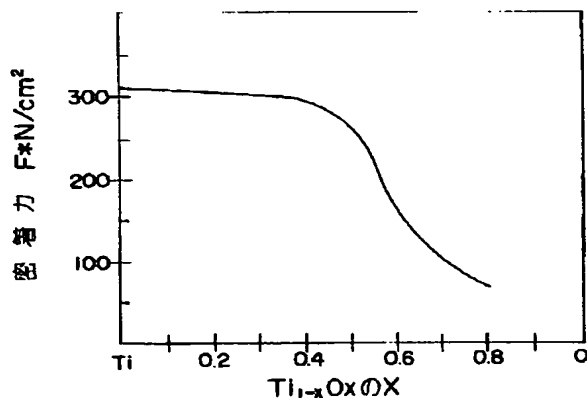
【図2】



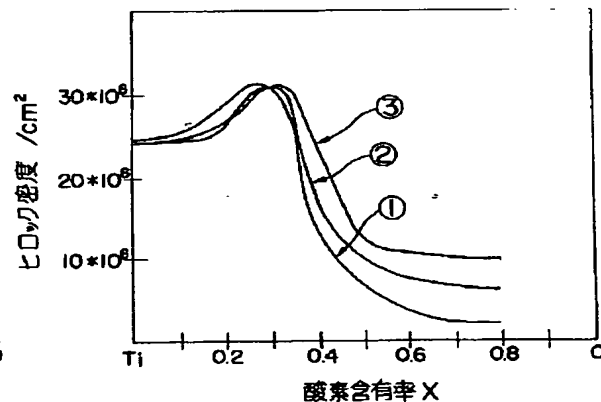
【図8】



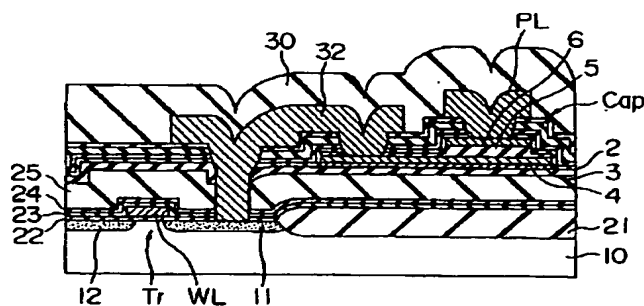
【図3】



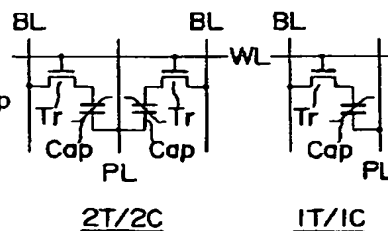
【図4】



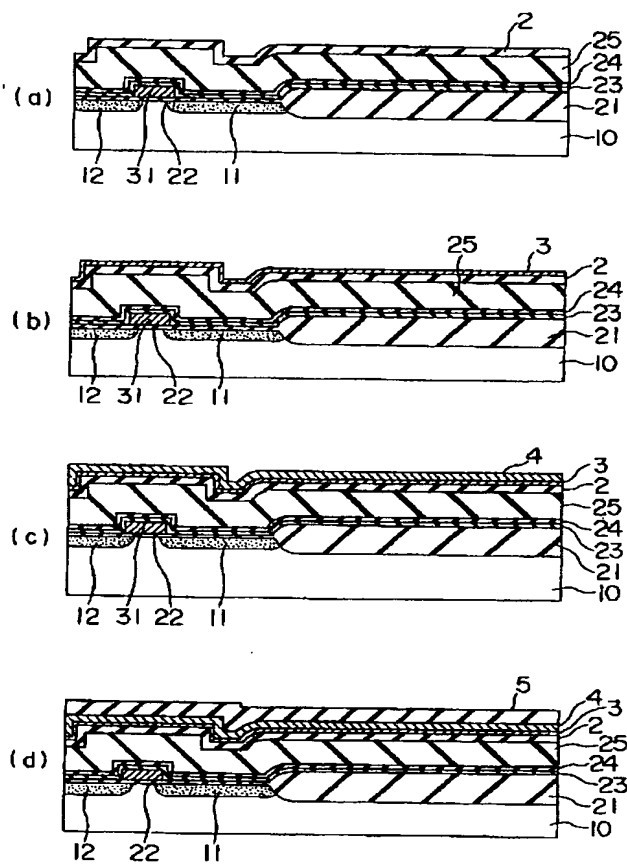
【図5】



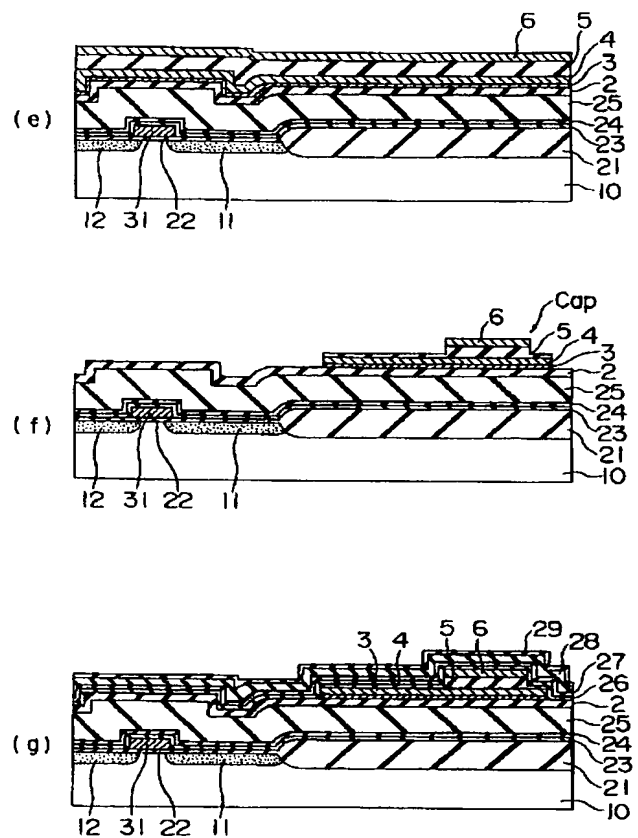
【図9】



【図6】



【図7】



フロントページの続き

(51)Int. Cl. 6

H 0 1 L 21/8247

29/788

29/792

識別記号

庁内整理番号

F I

技術表示箇所